

Requested Patent: JP2002118178A

Title: PROTECTION DEVICE WITH A SILICON-CONTROLLED RECTIFIER ;

Abstracted Patent: US2002017654 ;

Publication Date: 2002-02-14 ;

Inventor(s): LEE YOUN-JUNG (KR); SONG YONG-HA (KR) ;

Applicant(s): SAMSUNG ELECTRONICS CO LTD (US) ;

Application Number: US20010864660 20010524 ;

Priority Number(s): KR200000046681 20000811; KR20010019975 20010413 ;

IPC Classification: H01L29/74; H01L31/111 ;

Equivalents:

CN1338780, FR2812972, GB2368975, NL1018417, TW497245, US6538266 ;

ABSTRACT:

A semiconductor device for lowering a triggering voltage includes a semiconductor substrate with a first conductivity; a semiconductor region formed in the substrate having a second conductivity; a first region formed in the substrate, having the first conductivity and being apart from the semiconductor region; a second region formed in the substrate having the second conductivity and being spaced apart from the semiconductor region and first region; a third region formed in the substrate, having the second conductivity and being spaced apart from the semiconductor region, the first and second regions; a fourth region formed in the semiconductor region, having the second conductivity and being connected to the third region through a conductive material; a fifth region formed in the semiconductor region, having the first conductivity and being spaced apart from the fourth region; and a sixth region formed in the semiconductor region, having the second conductivity and being spaced apart from the fourth and fifth regions

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118178

(P2002-118178A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト*(参考)	
H 0 1 L	21/8238	H 0 1 L	27/06	3 1 1 C 5 F 0 0 5
	21/822		27/08	3 2 1 H 5 F 0 3 8
	27/04		29/74	G 5 F 0 4 8
	27/06	3 1 1	27/04	H
	27/092			

審査請求 未請求 請求項の数25 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-228588(P2001-228588)

(22) 出願日 平成13年7月27日 (2001.7.27)

(31) 優先権主張番号 2 0 0 0 P-4 6 6 8 1

(32) 優先日 平成12年8月11日 (2000.8.11)

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 2 0 0 1 P-1 9 9 7 5

(32) 優先日 平成13年4月13日 (2001.4.13)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 宋 格 夏

大韓民国京畿道龍仁市起興邑貢税里382-1
湖水青邱アパート105棟604号

(72) 発明者 李 楡 ▲ジュン▼

大韓民国京畿道城南時盆唐区二梅洞二梅村
206-1804

(74) 代理人 100086368

弁理士 萩原 誠

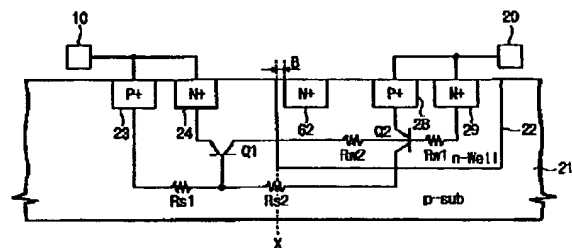
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 トリガ電圧を低下させ、高密度の集積回路で信頼性ある静電放電保護特性を得られる半導体装置、具体的にはシリコン制御整流素子 (S C R) を提供すること。

【解決手段】 本発明による S C R は、トリガ電圧を低下させるために、第1導電型の基板21と、この基板に形成された第2導電型の半導体領域22と、前記基板に形成された第1導電型の第1領域23と、前記基板に形成された第2導電型の第2領域24と、前記基板と前記半導体領域の間の境界面から所定距離ほど離れて前記半導体領域に形成された第2導電型の第3領域62と、前記半導体領域に形成された第1導電型の第4領域28と、前記半導体領域に形成された第2導電型の第5領域29とを含む。



【特許請求の範囲】

【請求項1】 第1導電型の基板と、
この基板に形成された第2導電型の半導体領域と、
前記基板に形成された前記第1導電型の第1領域と、
前記基板に形成された前記第2導電型の第2領域と、
前記基板と前記半導体領域の間の境界面から所定距離ほど離れて、前記半導体領域に形成された前記第2導電型の第3領域と、
前記半導体領域に形成された前記第1導電型の第4領域と、
前記半導体領域に形成された前記第2導電型の第5領域とを含み、
前記第1領域及び前記第2領域が第1ターミナルに共通に連結され、前記第4領域及び前記第5領域が第2ターミナルに共通に連結されることを特徴とする半導体装置。

【請求項2】 前記第2領域と前記第3領域の間の表面の上部に形成され、前記第1ターミナルに連結されたゲート層を含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記半導体領域から離れて前記基板に形成された前記第2導電型の第6領域を含み、前記第3領域が導電層を通して前記第6領域に連結されることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記第2領域と前記第6領域の間の表面の上部に形成され、前記第1ターミナルに連結されたゲート層を含むことを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記第6領域に隣接して前記基板に形成された前記第1導電型の第7領域を含むことを特徴とする請求項3に記載の半導体装置。

【請求項6】 前記半導体領域と前記第1及び第2領域から離れて前記基板に形成された前記第1導電型の第6領域を含むことを特徴とする請求項1に記載の半導体装置。

【請求項7】 第1導電型の半導体基板と、
この半導体基板に形成された第2導電型の半導体領域と、
前記基板に形成された前記第1導電型の第1領域と、
前記基板に形成された前記第2導電型の第2領域と、
前記基板と前記半導体領域の間の境界面から所定距離ほど離れて、前記基板に形成された前記第1導電型の第3領域と、
前記半導体領域に形成された前記第1導電型の第4領域と、
前記半導体領域に形成された前記第2導電型の第5領域とを含み、
前記第1領域が第1ターミナルに連結され、前記第2領域が第2ターミナルに連結され、前記第4領域及び前記第5領域が第3ターミナルに共通に連結されることを特

徴とする半導体装置。

【請求項8】 前記第1ターミナルは前記第2ターミナルに連結されることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記第3領域と前記第4領域の間の表面の上部に形成され、導電層を通して前記第3ターミナルに連結されたゲート層を含むことを特徴とする請求項7に記載の半導体装置。

【請求項10】 前記半導体領域と前記基板の間の境界面と前記第4及び第5領域から離れて前記半導体領域に形成され、前記第3領域に連結された前記第1導電型の第6領域を含むことを特徴とする請求項7に記載の半導体装置。

【請求項11】 前記第4領域と前記第6領域の間の表面の上部に形成され、導電層を通して前記第3ターミナルに連結されたゲート層を含むことを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記第6領域に隣接して前記半導体領域に形成された第2導電型の第7領域を含むことを特徴とする請求項10に記載の半導体装置。

【請求項13】 第1導電型の半導体基板と、
この基板に形成された第2導電型の第1ウェルと、
この第1ウェルに形成された前記第1導電型の第1領域と、
この第1領域と共に第1ターミナルに連結されて前記第1ウェルに形成された第2導電型の第2領域と、
前記第1ウェルから離れて前記基板に形成された第2導電型の第2ウェルと、
この第2ウェルに形成された前記第2導電型の第3領域と、
この第3領域と共に第2ターミナルに連結されて前記第2ウェルに形成された前記第1導電型の第4領域とを含むことを特徴とする半導体装置。

【請求項14】 前記第1ターミナルは電源電圧ターミナルであり、前記第2ターミナルは入出力信号ターミナルであることを特徴とする請求項13に記載の半導体装置。

【請求項15】 前記第2ターミナルは接地電圧ターミナルであり、前記第1ターミナルは入出力信号ターミナルであることを特徴とする請求項13に記載の半導体装置。

【請求項16】 前記基板と前記第1ウェルに跨って形成された第5領域と、
この第5領域と同一の導電型を有し、前記基板と前記第2ウェルに跨って形成された第6領域を含むことを特徴とする請求項13に記載の半導体装置。

【請求項17】 前記第5領域及び第6領域は第1導電型であることを特徴とする請求項16に記載の半導体装置。

【請求項18】 前記第5領域及び第6領域は第2導電

型であることを特徴とする請求項16に記載の半導体装置。

【請求項19】 第1導電型の半導体基板と、この基板に形成された第2導電型の第1ウェルと、この第1ウェルに形成された第1導電型の第1領域と、この第1領域と共に第1ターミナルに連結されて前記第1ウェルに形成された第2導電型の第2領域と、前記第1ウェルから離れて前記基板に形成された第2導電型の第2ウェルと、この第2ウェルに形成された前記第2導電型の第3領域と、この第3領域と共に第2ターミナルに連結されて前記第2ウェルに形成された前記第1導電型の第4領域と、前記基板と前記第1ウェルの間の第1境界面から所定距離ほど離れて前記第1ウェルに形成された第2導電型の第5領域と、前記基板と前記第2ウェルの間の第2境界面から所定距離ほど離れて前記第2ウェルに形成された第2導電型の第6領域とを含むことを特徴とする半導体装置。

【請求項20】 前記第1ターミナルは電源電圧ターミナルであり、前記第2ターミナルは入出力信号ターミナルであることを特徴とする請求項19に記載の半導体装置。

【請求項21】 前記第2ターミナルは接地電圧ターミナルであり、前記第1ターミナルは入出力信号ターミナルであることを特徴とする請求項19に記載の半導体装置。

【請求項22】 第1導電型の半導体基板と、この基板に形成された第2導電型の第1ウェルと、この第1ウェルに形成された前記第1導電型の第1領域と、この第1領域と共に第1ターミナルに連結されて前記第1ウェルに形成された第2導電型の第2領域と、前記第1ウェルから離れて前記基板に形成された第2導電型の第2ウェルと、この第2ウェルに形成された前記第2導電型の第3領域と、この第3領域と共に第2ターミナルに連結されて前記第2ウェルに形成された前記第1導電型の第4領域と、前記基板と前記第1ウェルの間の第1境界面から第1距離ほど離れて前記基板に形成された第1導電型の第5領域と、前記基板と前記第2ウェルの間に第2境界面から第1距離ほど離れて前記基板に形成された第1導電型の第6領域とを含むことを特徴とする半導体装置。

【請求項23】 前記基板と前記第1ウェルの間の第1境界面から第2距離ほど離れて前記第1ウェルに形成された前記第2導電型の第7領域と、前記基板と前記第2ウェルの間の第2境界面から第2距離ほど離れて前記第2ウェルに形成された前記第2導電

型の第8領域とを含むことを特徴とする請求項22に記載の半導体装置。

【請求項24】 前記第1ターミナルは電源電圧ターミナルであり、前記第2ターミナルは入出力信号ターミナルであることを特徴とする請求項22に記載の半導体装置。

【請求項25】 前記第2ターミナルは接地電圧ターミナルであり、前記第1ターミナルは入出力信号ターミナルであることを特徴とする請求項22に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に係り、詳しくは、集積回路に採用される静電放電保護素子に関し、さらにはシリコン制御整流素子を利用して低電圧の集積回路で静電放電に対する保護機能を実行する装置に関する。

【0002】

【従来の技術】CMOS (complementary metal-oxide-semiconductor) 技術によって形成された半導体集積回路は、人体の接触等によって発生する静電気 (又は静電放電) から流入される高電圧に非常に大きな影響を受ける。そのような静電放電 (electrostatic discharge: ESD) 現象は、瞬時に高電圧がチップ内部に流入されるので、集積回路内部に形成された薄い絶縁膜の破壊又はチャンネル短絡のように、集積回路チップの動作を不能にする結果を招来しやすい。これを防止するために、一般的に、集積回路チップには入力保護機能として静電放電保護回路が設計される。静電放電保護回路は、瞬間的に流入される高電圧 (又は過度電圧) 又は高電流 (又は過度電流) がチップ内部の他の回路に流入されないように、予め放電させる機能を有する。

【0003】静電放電に対する保護機能を実行する手段として、PNジャンクションを利用したシリコン制御整流素子 (silicon-controlled rectifier: 以下“SCR”と言う) が優れる。ESD保護のためのSCRに関しては、米国特許第4400711号、第4484244号又は第5012317号等に開示されている。

【0004】図1は、SCR (例えば、米国特許第5012317号に開示された構造) が半導体基板に形成された状態の断面構造を示す。図1で、外部パッド15からプラスのESD電流が流入することによって発生した正孔がN型ウェル3を通して基板1に流入されて、寄生NPNバイポーラトランジスタQ1のベース-エミッタ電圧が上昇する。これによって、寄生PNPバイポーラトランジスタQ2がターンオンされて、接地電圧 (VSS) パッド13からの電子が基板1を通してN型ウェル3に注入されるので、ESD電流はP-N-P-N接合

によって接地電圧パッド13に放電される。この時、N型ウェル3とP型基板1からなるN-P接合が逆バイアスされる。ここで、ブレイクダウンが発生する電圧はSCRのトリガ電圧(trigger voltage: 又はしきい値電圧)である。

【0005】

【発明が解決しようとする課題】しかし、半導体集積回路が高密度化され、MOSTランジスタの大きさが縮小されるに従って、図1のようなSCRのトリガ電圧は現在の集積回路上で十分な保護機能をしにくくしている。即ち、通常、SCRのトリガ電圧の範囲は25V~70Vであるが、実際にPNジャンクションで高電圧によるブレイクダウンが発生する時までの時間によって、実際のトリガ電圧はさらに高くなる。従って、SCRが正しく動作する時まで(ターンオンされる時まで)、ESDによる瞬時高電圧が集積回路内部の他の部分に損壊を与えることになる。図1のSCRで動作可能なトリガ電圧は約70Vにいたる。

【0006】ESD保護用SCRのトリガ電圧を減らすための技術が米国特許第4939611号(TI)又は第5072273号(Sarnoff)等に開示されている。TI特許('616)では、高濃度のN型拡散領域がN型ウェル(例えば、図1の符号3)と基板(図1の符号1)に跨って形成されている。ここで、N型拡散領域でブレイクダウンが発生することによって、トリガ電圧は低下する。一方、Sarnoff特許('273)では、図2に示すように、基板とウェルに跨って形成されたN型(又はP型)拡散領域12の存在以外に、基板に形成された高濃度のN型及びP型拡散領域5、7を電氣的に連結する構造を紹介している。このような構造は入力パッド(又は、外部パッド)と接地電圧の間でなされるESD保護機能に対しては効果的であるが、入力パッドと電源電圧の間では十分な保護機能を実行できない。参照番号13及び15が各々入力パッド及び電源電圧なら、入力パッドに流入されるマイナスの瞬時成分(電圧又は電流)を放電させるために水平NPNP接合が形成されるべきにもかかわらず、基板1と入力パッドが電氣的にショートされることによって、水平NPNP接合が形成されない。

【0007】本発明は前述した従来の問題点を解決するもので、高密度の集積回路において信頼性のあるESD保護特性を有する半導体装置、具体的にはSCRを提供することを目的とする。

【0008】さらに本発明は、低トリガ電圧を有するESD保護用の半導体装置、具体的にはSCRを提供することを目的とする。

【0009】さらに本発明は、CMOS工程によって製造される高密度の集積回路でCMOS製造工程に適用可能であり、低トリガ電圧を有する半導体装置、具体的にはSCRを提供することを目的とする。

【0010】さらに本発明は、両方向に動作可能なESD保護用の半導体装置、具体的にはSCRを提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の第1の半導体装置は、第1導電型の基板と、この基板に形成された第2導電型の半導体領域と、基板に形成された第1導電型の第1領域と、基板に形成された第2導電型の第2領域と、基板と半導体領域の間の境界面から所定距離ほど離れて半導体領域に形成された第2導電型の第3領域と、半導体領域に形成された第1導電型の第4領域と、半導体領域に形成された第2導電型の第5領域とを含む。第1領域と第2領域は第1ターミナルに共通に連結され、第4領域と第5領域は第2ターミナルに共通に連結される。又、第2領域と第3領域の間の表面の上部には第1ターミナルに連結されたゲート層が設けられる。

【0012】本発明の第2の半導体装置は、第1導電型の半導体基板と、この半導体基板に形成された第2導電型の半導体領域と、基板に形成された第1導電型の第1領域と、基板に形成された第2導電型の第2領域と、基板と半導体領域の間の境界面から所定距離ほど離れて基板に形成された第1導電型の第3領域と、半導体領域に形成された第1導電型の第4領域と、半導体領域に形成された第2導電型の第5領域とを含む。第1領域は第1ターミナルに連結され、第2領域は第2ターミナルに連結され、第4領域と第5領域は第3ターミナルに共通に連結される。

【0013】本発明による第3の半導体装置は、プラス又はマイナスの瞬時成分に対する両方向性ESD保護構造を提供するために、第1導電型の半導体基板と、この基板に形成された第2導電型の第1ウェルと、この第1ウェルに形成された第1導電型の第1領域と、この第1領域と共に第1ターミナルに連結されて第1ウェルに形成された第2導電型の第2領域と、第1ウェルから離れて基板に形成された第2導電型の第2ウェルと、この第2ウェルに形成された第2導電型の第3領域と、この第3領域と共に第2ターミナルに連結されて第2ウェルに形成された第1導電型の第4領域と、第1ウェルと基板に跨って形成された第5領域と、第2ウェルと基板に跨って形成され、第5領域と同一の導電型である第6領域とを含む。第5領域及び第6領域は第1導電型又は第2導電型で構成される。

【0014】又、両方向性ESD保護構造の他の形態として、本発明による半導体装置は、第1導電型の半導体基板と、この基板に形成された第2導電型の第1ウェルと、この第1ウェルに形成された第1導電型の第1領域と、この第1領域と共に第1ターミナルに連結されて第1ウェルに形成された第2導電型の第2領域と、第1ウェルから離れて基板に形成された第2導電型の第2ウェルと、この第2ウェルに形成された第2導電型の第3領域

域と、この第3領域と共に第2ターミナルに連結されて第2ウェルに形成された第1導電型の第4領域と、基板と第1ウェルの間の境界面から第1距離だけ離れて基板に形成された第1導電型の第5領域と、基板と第2ウェルの間の境界面から第1距離だけ離れて基板に形成された第1導電型の第6領域とを含む。基板と第1ウェルの間の境界面から第2距離だけ離れて第1ウェルに形成された第2導電型の第7領域と、基板と第2ウェルの間の境界面から第2距離だけ離れて第2ウェルに形成された第2導電型の第8領域とをさらに設けることができる。

【0015】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施形態を詳細に説明する。

【0016】図3及び図4は、本発明の第1実施形態によるSCRの断面構造であり、SCRのトリガ電圧を少なくとも30V以下（従来技術の場合、70V以下のトリガ電圧範囲を有する）に低下させ得る構造を提供する。まず、図3はプラスの瞬時成分（プラスの過度電圧又は過度電流）に対する保護機能を実行するSCRの構造を示し、P型半導体基板21に形成されたN型ウェル22には高濃度のN型拡散領域27及び29と、高濃度のP型拡散領域28とが離れて形成されている。P型拡散領域28とN型拡散領域29は、金属のような導電層を通して信号ターミナルとしての入力パッド20に共通に連結されている。N型拡散領域27は導電層31を通して半導体基板21に形成された高濃度のN型拡散領域25と電気的に連結される。N型拡散領域25はN型ウェル22から離れ、半導体基板21に形成されたN型拡散領域24とゲート層26と共にNMOSTランジスタ構造を形成する。N型拡散領域24は半導体基板21に形成されたP型拡散領域23及びゲート層26と共に接地電圧ターミナルとしての接地電圧（VSS）パッド10に導電層を通して連結される。

【0017】図3の構造に従う等価回路上で、半導体基板21、N型拡散領域24及びN型ウェル22がNPNバイポーラトランジスタQ1のベース、エミッタ及びコレクタを各々形成し、N型ウェル22、P型拡散領域28及びP型半導体基板21がPNPバイポーラトランジスタQ2のベース、エミッタ及びコレクタを各々形成する。加えて、N型拡散領域25及び27は、NPNバイポーラトランジスタQ1のコレクタ又はPNPバイポーラトランジスタQ2のベースとして作用する。入力パッド20から接地電圧パッド10までのP-N-P-N接合の経路は、P型拡散領域28、N型ウェル22、P型半導体基板21及びN型拡散領域24でなされる。Rs1は基板21とP型拡散領域23の間で基板21内部に存在する寄生抵抗成分を示し、Rs2は基板21とN型ウェル22の間で基板21内部に存在する寄生抵抗成分を示す。又、Rw1はN型拡散領域29とN型ウェル22の間でN型ウェル22内部に存在する寄生抵抗成分を

示し、Rw2はN型ウェル22と基板21の間でN型ウェル22内部に存在する寄生抵抗成分を示す。

【0018】プラスの瞬時成分が入力パッド20を通して流入されると、P型拡散領域28とN型ウェル22によるPN接合は、順方向にバイアスされ、N型ウェル22と半導体基板21によるNP接合は逆方向にバイアスされる。この時、N型拡散領域27を通してN型ウェル22に連結されているN型拡散領域25と基板21間のPN接合で、ブレイクダウン電圧が決定される。N型拡散領域25がN型ウェル22に比べて相対的に高濃度領域であるので、ブレイクダウンが発生する電圧（又は降伏電圧：電子-正孔対）（EHP: electron-hole pair）増殖によりアバランシェが発生する電圧は、N型拡散領域25が採用されない場合より低下する（又は、より早くブレイクダウンが発生する）。ブレイクダウンが発生する電圧が低下することはSCRのトリガ電圧が低下することを意味する。さらに、接地電圧に連結されたゲート層26によって、トリガ電圧の下降効果はさらに加速される。

【0019】図4の構造はマイナスの瞬時成分（マイナスの過度電圧又は過度電流）に対するSCRの構造を示す。図3の構造がN型拡散領域を利用してトリガ電圧を低下させるのに対して、図4の構造はP型拡散領域を利用する。半導体基板21に形成されたP型拡散領域33は、N型ウェル22に形成されたP型拡散領域34と金属等の導電層36を通して連結されている。N型ウェル22の内部で、P型拡散領域34はP型拡散領域28及びゲート層35と共にPMOSTランジスタの構造を形成する。ゲート層35はP型拡散領域28及びN型拡散領域29と共に導電層を通して電源電圧ターミナルとしての電源電圧（VDD）パッド30に連結されている。基板21に形成されたP型拡散領域23は接地電圧パッド10に連結され、N型拡散領域24は入力パッド20に電気的に連結される。図4の構造による等価回路の構成は、トランジスタQ2のエミッタ端子とベース端子が電源電圧VDDに連結され、トランジスタQ1のエミッタ端子が入力パッド20に連結されることを除いて、図3と同一である。

【0020】マイナスの瞬時成分が入力パッド20を通して流入されると、N型拡散領域24とP型基板21で形成されるN-P接合は順方向にバイアスされ、基板21とN型ウェル22で形成されるP-N接合は逆方向にバイアスされる。この時、P型拡散領域33を通して基板21に連結されているP型拡散領域34とN型ウェル22の間のPN接合でブレイクダウン電圧が決定される。P型拡散領域34が基板21に比べて相対的に高濃度領域であるので、ブレイクダウンが発生する電圧（EHP増殖によってアバランシェ状態に至る電圧）はP型拡散領域33及び34が採用されない場合より低下する。そして、ブレイクダウンが発生する電圧が低下する

ということはSCRのトリガ電圧が低下することを意味する。さらに、ゲート層35によって、トリガ電圧の下降効果はさらに加速される。

【0021】図5及び図6は本発明の第2実施形態によるSCRの構造を示す。

【0022】まず、図5はプラスの瞬時成分に対する構造であり、半導体基板21に形成されたP型拡散領域23及びN型拡散領域24は、導電層を通して接地電圧パッド10に連結される。N型ウェル22に形成されたP型拡散領域28及びN型拡散領域29は、導電層を通して入力パッド20に連結される。図3のように、基板21に形成されたN型拡散領域25はN型ウェル22に形成されたN型拡散領域27と導電層31を通して直接に連結される。これに加えて、基板21にはN型拡散領域25に接してP型高濃度拡散領域41が形成されている。このような構造で、プラスの瞬時成分が入力パッド20に流入される時、ブレイクダウンはN型ウェル22に形成されたN型拡散領域27と電氣的に連結されたN型拡散領域25とP型高濃度拡散領域41の間で発生して、SCRのトリガ電圧を低下させる。

【0023】図6はマイナスの瞬時成分に対する構造であり、半導体基板21に形成されたP型拡散領域23は接地電圧パッド10に連結され、N型拡散領域24は入力パッド20に連結される。N型ウェル22に形成されたP型拡散領域28及びN型拡散領域29は、電源電圧パッド30に共通に連結される。一方、基板21に形成されたP型拡散領域33はN型ウェル22に形成されたP型拡散領域34と導電層36を通して連結される。これに加えて、N型ウェル22にはP型拡散領域34に接してN型高濃度拡散領域47が形成されている。従って、マイナスの瞬時成分が入力パッド20を通して流入される時、基板21に形成されたP型拡散領域33と電氣的に連結されたP型拡散領域34とN型高濃度拡散領域47の間でブレイクダウンが発生して、SCRのトリガ電圧を低下させる。

【0024】図7及び図8は本発明の第3実施形態によるSCRの断面構造であり、ゲート層を利用したMOS構造を示す。図7はプラスの瞬時成分に対する構造を、図8はマイナスの瞬時成分に対する構造を示す。

【0025】図7を参照すると、P型半導体基板21に形成されたP型拡散領域23とN型拡散領域24と共に接地電圧パッド10に連結されたゲート層51は、N型ウェル22内に形成されたN型拡散領域52とN型拡散領域24の間の表面の上部に形成される。従って、ゲート層51は基板21に形成されたN型拡散領域24とN型ウェル22に形成されたN型拡散領域52の間で、基板21の表面とN型ウェル22の表面に跨って形成されている。N型ウェル22に形成されたN型拡散領域52はバイアスが印加されないフローティング状態である。ゲート層51は、図3のゲート層26と同様に、N型拡

散領域52とP型基板21の間で発生するブレイクダウンを加速させるので、SCRのトリガ電圧は低下する。なお、N型ウェル22内には、図3と同様にP型拡散領域28とN型拡散領域29とが形成されている。

【0026】図8を参照すると、基板21に形成されたP型拡散領域55とN型ウェル22に形成されたP型拡散領域28の間の表面の上部にゲート層57が形成される。ゲート層57は、N型ウェル22に形成されたP型拡散領域28及びN型拡散領域29と共に、電源電圧パッド30に共通に連結される。基板21に形成されたP型拡散領域23は接地電圧パッド10に連結され、N型拡散領域24は入力パッド20に連結される。基板21に形成されたP型拡散領域55はバイアスが印加されないフローティング状態である。ゲート層57は、図4のゲート層35と同様に、P型拡散領域55とN型ウェル22の間で発生するブレイクダウンを加速させるので、SCRのトリガ電圧は低下する。

【0027】マイナスの瞬時成分に対するSCRの構造を示す図4、図6及び図8において、P型半導体基板21に形成されたP型拡散領域23を接地電圧パッド10に連結し、N型拡散領域24を入力パッド20に連結する理由は、P型拡散領域23とN型拡散領域24を入力パッド20に共通に連結した場合は、高電圧（又は高電流）によって基板21が入力パッドと短絡されて、マイナスの瞬時成分に対するSCRの接合構造のNPNP接合が破壊されるためである。

【0028】図9乃至図11は本発明の第4実施形態を示し、これらは、ブレイクダウンに寄与する拡散領域の形成位置に従ってトリガ電圧を決定する方式を利用する構造である。

【0029】図9を参照すると、P型半導体基板21とN型ウェル22の間の境界面Xを中心にして、基板21に形成されたP型高濃度拡散領域61とN型ウェル22に形成されたN型高濃度拡散領域62とが所定間隔Aだけ離れて形成されている。P型高濃度拡散領域61とN型高濃度拡散領域62はバイアスが印加されないフローティング状態にある。基板21に形成されたP型拡散領域23及びN型拡散領域24は接地電圧パッド10に共通に連結され、N型ウェル22に形成されたP型拡散領域28及びN型拡散領域29は入力パッド20に共通に連結される。入力パッド20を通してプラスの瞬時成分が流入されると、N型高濃度拡散領域62とP型高濃度拡散領域61の間が逆方向にバイアスされて、ブレイクダウンが発生する。P型高濃度拡散領域61とN型高濃度拡散領域62の間の間隔Aが狭いほど、ブレイクダウンに至る電圧が低下し、これに従って、SCRのトリガ電圧も低下する。間隔Aは少なくとも30V以下のトリガ電圧を発生させるために1〜1.2 μ m程度が適当であるが、工程及び周辺環境等を考慮して、本発明が実現しようとする目的（少なくとも30V以下のトリガ電圧）

の範囲内で設計を変更することができる。

【0030】図10及び図11は、図9のN型拡散領域62及びP型拡散領域61のうち、1つだけを形成した構造を示す。即ち、図10には、基板-ウェル境界面Xから間隔B（Aの1/2すなわち、0.5～0.6 μ m）だけ離れてN型高濃度拡散領域62がN型ウェル22に形成され、図11では、基板-ウェル境界面Xから間隔B（Aの1/2すなわち、0.5～0.6 μ m）だけ離れてP型高濃度拡散領域61が半導体基板21に形成される。プラスの瞬時成分が入力パッド20から流入される場合、図10ではN型高濃度拡散領域62と基板21の間でブレイクダウンが発生し、図11ではN型ウェル22とP型高濃度拡散領域61の間でブレイクダウンが発生する。

【0031】図9乃至図11では、主に、プラスの瞬時成分に対するバイアス状態を示し、マイナスの瞬時成分に対する連結構造は図示しないが、前述した図4、図6又は図8と同一の方式によって、マイナスの瞬時成分に対する保護機能を実行できる。即ち、N型ウェル22に形成されたP型拡散領域28及びN型拡散領域29を電源電圧パッド30に共通に連結し、P型基板21に形成されたP型拡散領域23及びN型拡散領域24を接地電圧パッド10及び入力パッド20に各々連結することによって、マイナスの瞬時成分に対する保護構造が完成する。

【0032】図12乃至図16は垂直線Cを中心にして対称構造を有し、入力パッド20と接地電圧パッド10の間だけでなく、入力パッド20と電源電圧パッド30の間でのESD保護機能も実行できるSCRの実施形態を示す。トリガ電圧の減少効果はいうまでもない。

【0033】先ず、図12を参照すると、高濃度P+領域28及びN+領域29がN型ウェル22（第1N型ウェル）に形成されて、電源電圧パッド30に共通に連結される（プラスの瞬時成分に対する保護の時は入力パッド20に連結される）。また、N型ウェル72（第2N型ウェル）内に高濃度N+領域73及びP+領域74が形成されて入力パッド20に共通に連結される（プラスの瞬時成分に対する保護の時は接地電圧パッド10に連結される）。N+領域75は基板21とN型ウェル22の間の境界面において両方に跨って形成され、これと対称的な位置でN+領域76は基板21とN型ウェル72の間の境界面において両方に跨って形成される。N型ウェル72がP+領域74を基板21から隔離させるので、マイナスの瞬時成分が入力パッド20を通して流入されても、P+領域74と基板21は短絡されない。N+領域75、76はSCRのトリガ電圧を低下させる。一方、図14に示すように、N+領域75、76をP+領域78、79に代替することもできる。

【0034】図13では、N型ウェル72に形成されたN+領域77と、N型ウェル22に形成されたN+領域

62とが、各N型ウェルと基板21の間の境界面から所定間隔Bほど離れて各N型ウェル内に形成されている。このような構造は、図10の構造を垂直線Cを中心にして左右対称型に構成したものと同一である。図15は、図13が図10の構造を利用した対称構造であることと同様に、図11に示すP+領域61及びN型ウェル22に対する対称構造を示す。P+領域81はN型ウェル72と基板21の間の境界面から所定間隔Bほど離れて基板21に形成される。図13及び図15の構造を結合して対称構造とした図16を参照すると、N+領域62とP+領域61とが、またN+領域77とP+領域81とが、ウェル-基板の境界面を挟んで各N型ウェルと基板21に各々形成される。

【0035】

【発明の効果】前述のように、本発明はSCRのトリガ電圧を低下させる効果がある。特に、トリガ電圧を低下させるために形成されるP型拡散領域又はN型拡散領域が既存のCMOS製造工程上で追加的なマスク工程を使用しなくても形成されるので、製造上の利点がある。又、必要に従ってトリガ電圧を調整できるので（図9乃至図11のように）、弾力性のあるSCRの構造を提供できる。又、1つのSCR構造によってプラス又はマイナスの瞬時成分に対する保護機能を共有できるので、効率的なESD保護機能を実行できる。

【図面の簡単な説明】

【図1】一般的な低電圧用シリコン制御整流素子の断面構造図である。

【図2】一般的な低電圧用シリコン制御整流素子の断面構造図である。

【図3】本発明の第1実施形態によるシリコン制御整流素子の断面構造図である。

【図4】本発明の第1実施形態によるシリコン制御整流素子の断面構造図である。

【図5】本発明の第2実施形態によるシリコン制御整流素子の断面構造図である。

【図6】本発明の第2実施形態によるシリコン制御整流素子の断面構造図である。

【図7】本発明の第3実施形態によるシリコン制御整流素子の断面構造図である。

【図8】本発明の第3実施形態によるシリコン制御整流素子の断面構造図である。

【図9】発明の第4実施形態によるシリコン制御整流素子の断面構造図である。

【図10】本発明の第4実施形態によるシリコン制御整流素子の断面構造図である。

【図11】本発明の第4実施形態によるシリコン制御整流素子の断面構造図である。

【図12】本発明に従って対称構造を有するシリコン制御整流素子の断面構造図である。

【図13】本発明に従って対称構造を有するシリコン制

御整流素子の断面構造図である。

【図14】本発明に従って対称構造を有するシリコン制御整流素子の断面構造図である。

【図15】本発明に従って対称構造を有するシリコン制御整流素子の断面構造図である。

【図16】本発明に従って対称構造を有するシリコン制御整流素子の断面構造図である。

【符号の説明】

10 接地電圧 (VSS) パッド

20 入力パッド

21 P型半導体基板

22, 72 N型ウェル

23, 28, 33, 34, 41, 55, 61, 74, 7

8, 79, 81高濃度P型拡散領域 (P+領域)

24, 25, 27, 29, 47, 52, 62, 73, 7

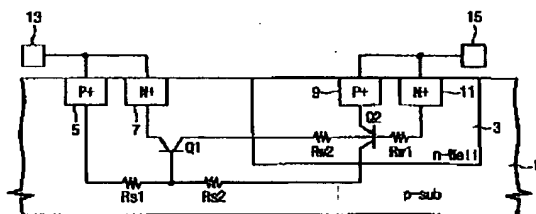
5, 76, 77高濃度N型拡散領域 (N+領域)

26, 35, 51, 57 ゲート層

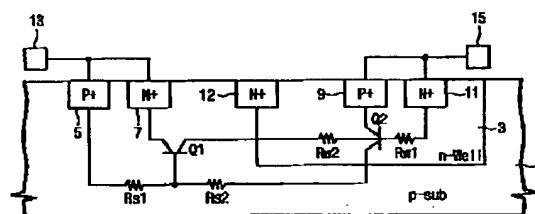
30 電源電圧 (VDD) パッド

31, 36 導電層

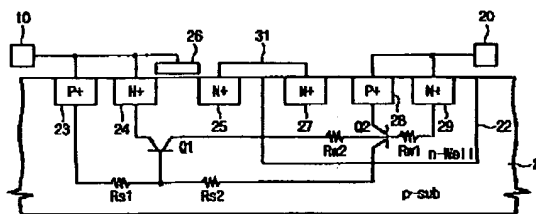
【図1】



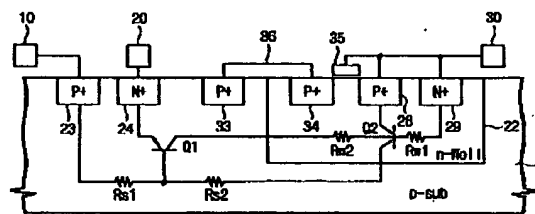
【図2】



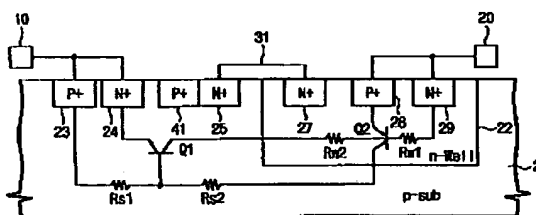
【図3】



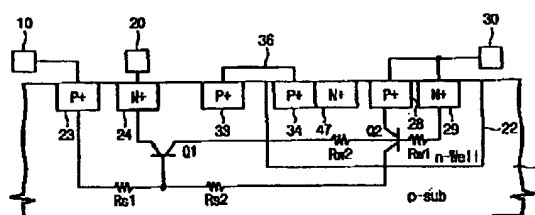
【図4】



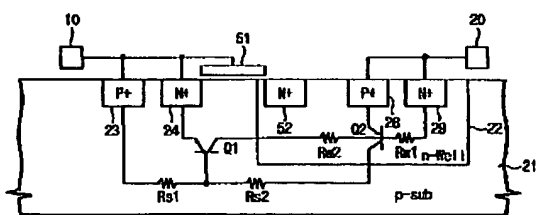
【図5】



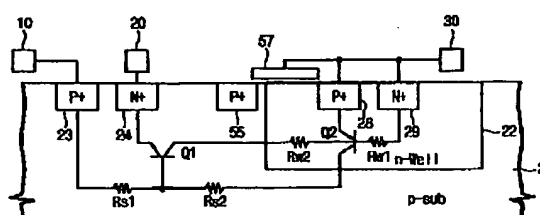
【図6】



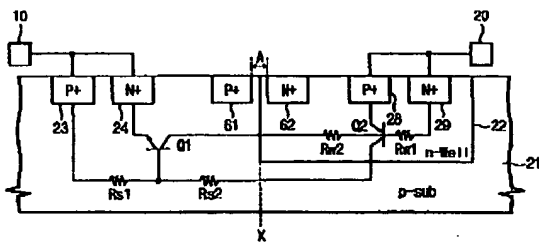
【図7】



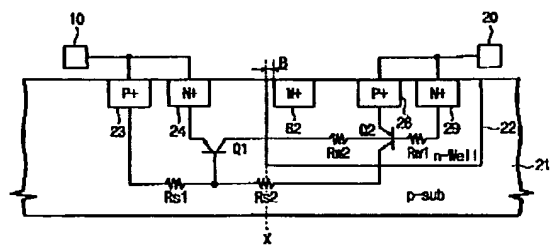
【図8】



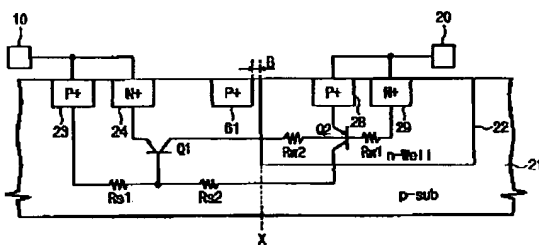
【図9】



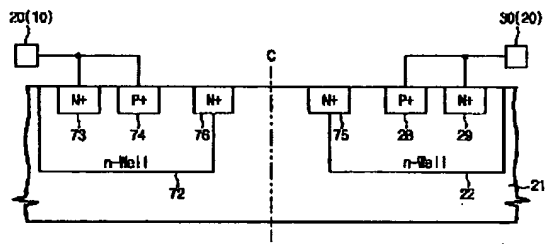
【図10】



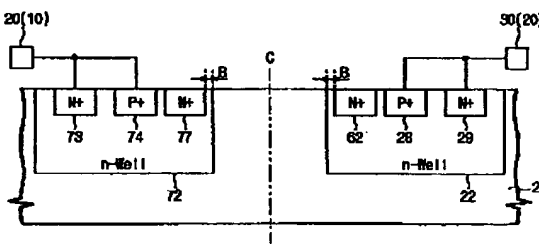
【図11】



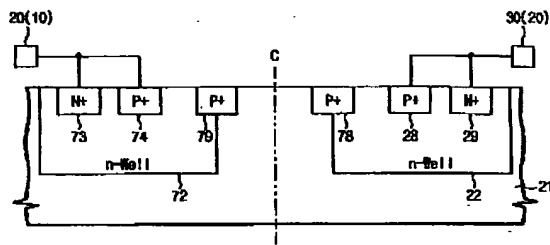
【図12】



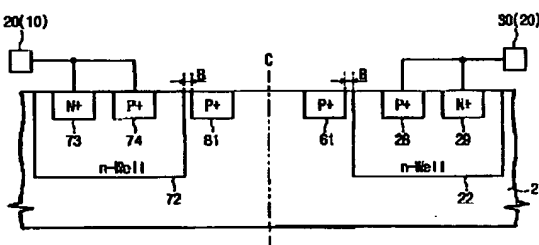
【図13】



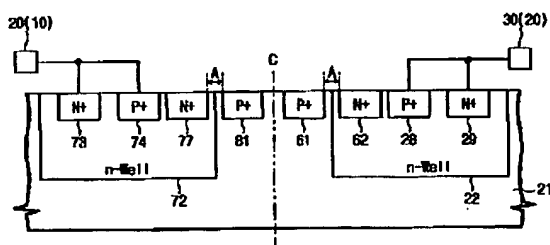
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl.7

H01L 29/74

識別記号

F I

メモード (参考)

Fターム(参考) 5F005 AD02 AE00 AH01 AH02 CA02
GA01
5F038 BH01 BH02 BH06 BH07 CD02
CD04 DF01 EZ20
5F048 AA02 BB05 BE09 CC06 CC08
CC10 CC13 CC15 CC19